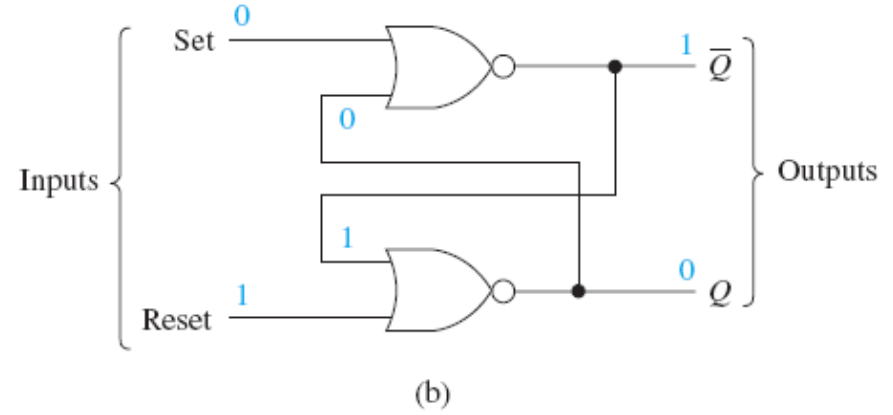
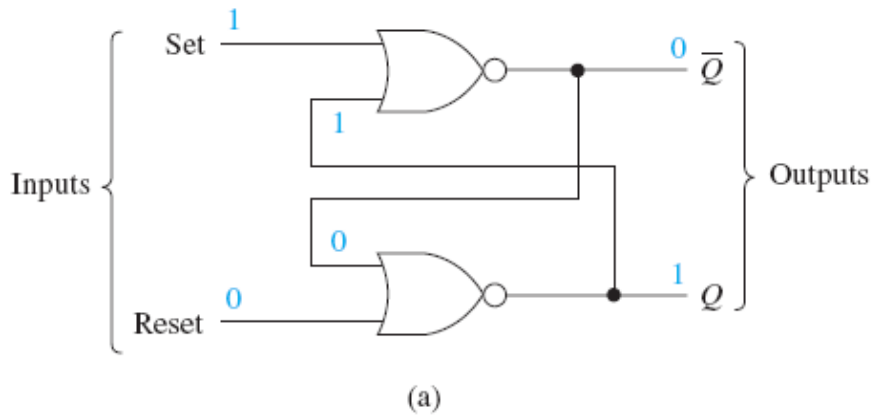


Registarska memorija i primene

Kombinaciona vs Sekvencijalna logika

- Kombinaciona – asinhrona, nema memorijskih elemenata
- Sekvencijalna – sinhronizovana sa kontrolnim signalom i koristi memorijske elemente

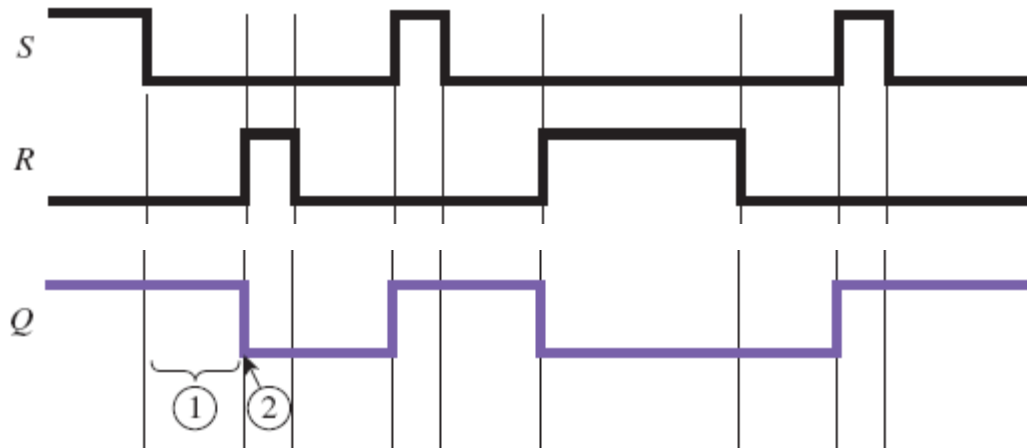
S-R (Set-Reset) Flip Flop



S	R	Q	\bar{Q}
0	0	Q	\bar{Q}
1	0	1	0
0	1	0	1
1	1	0	0

Analiza promena S-R FF-a

- Skicirati promene signala Q za sledeći redosled promena S i R signala:



Asinhrono vs Sinhrono

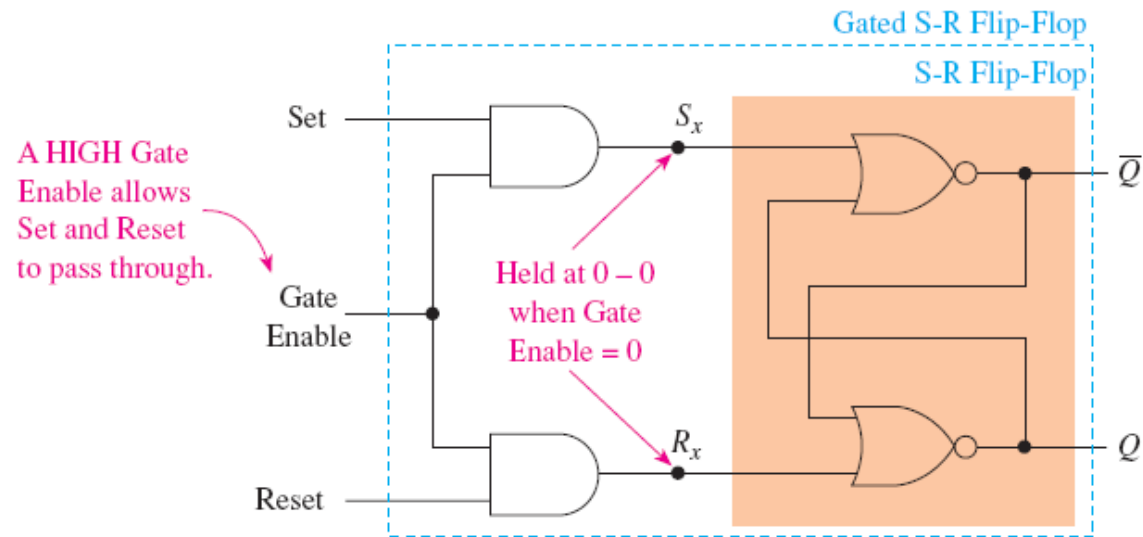
- Osnovna kombinaciona logička kola i S-R FF su asinhroni. Zašto?

Zato što se promene odmah primenjuju.

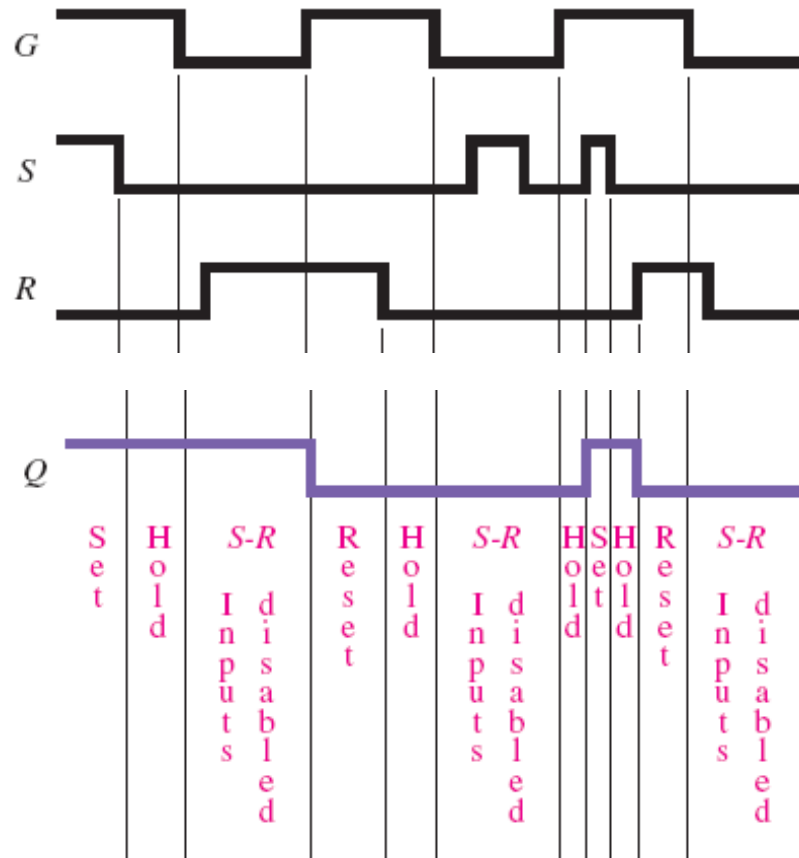
- Kako napraviti da S-R bude sinhron, odnosno da se promene ne primenju odmah, već da zavise od eksternog signala?

Nekako odložiti dejstvo izmene S-R signala.

Rešenje – tzv. G-S-R FF

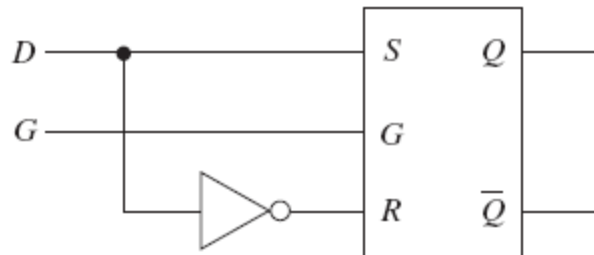


Kako izgleda signal za G-S-R FF?



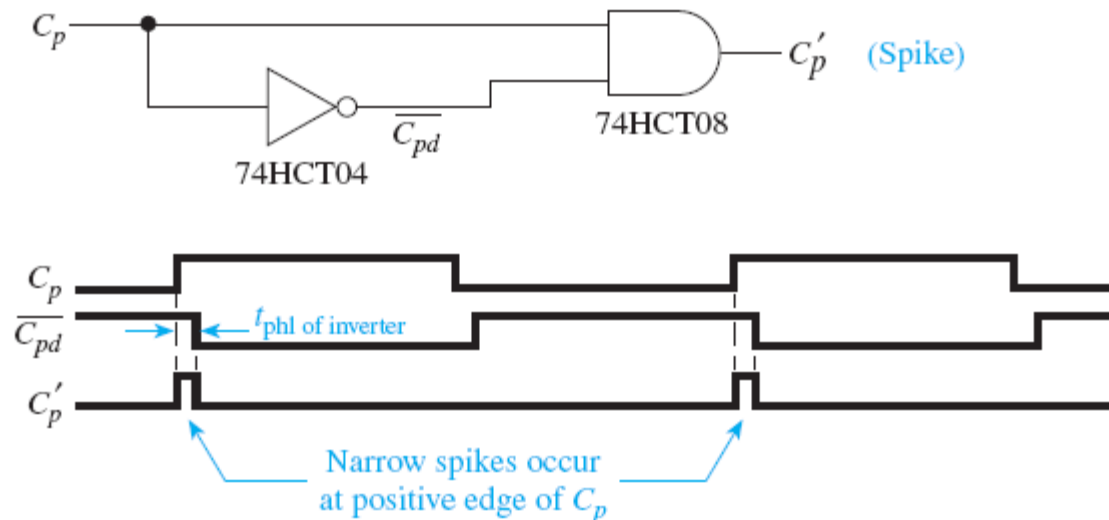
D Latch

- Kako da umesto S-R signala imamo samo jedan signal (D) koji kada je visok postavlja 1, kada je nizak postavlja 0?
- Implementirati D Latch u VHDL-u

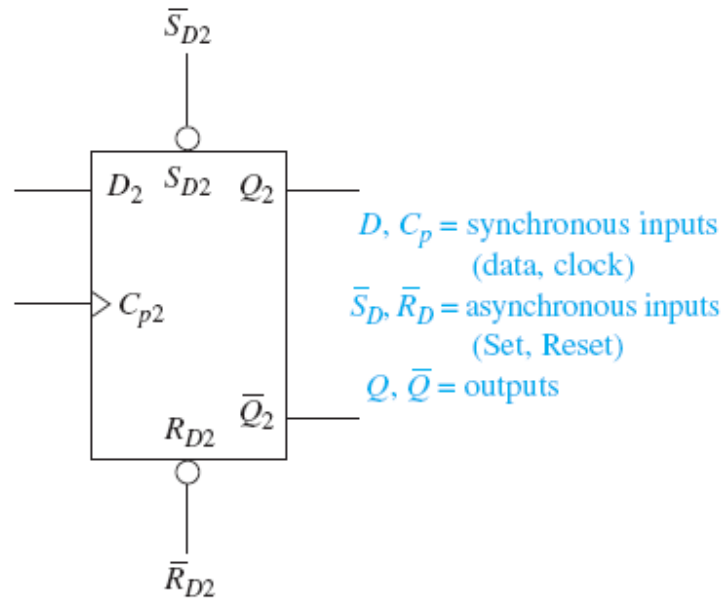


D Flip Flop

- Za razliku od D Latch, ovo je komponenta koja reaguje na uzlaznu ivicu kontrolnog signala, npr. signala clock
- Implementirati kolo za detekciju uzlaznu ivice?



Asinhroni S-R signali u DFF-u



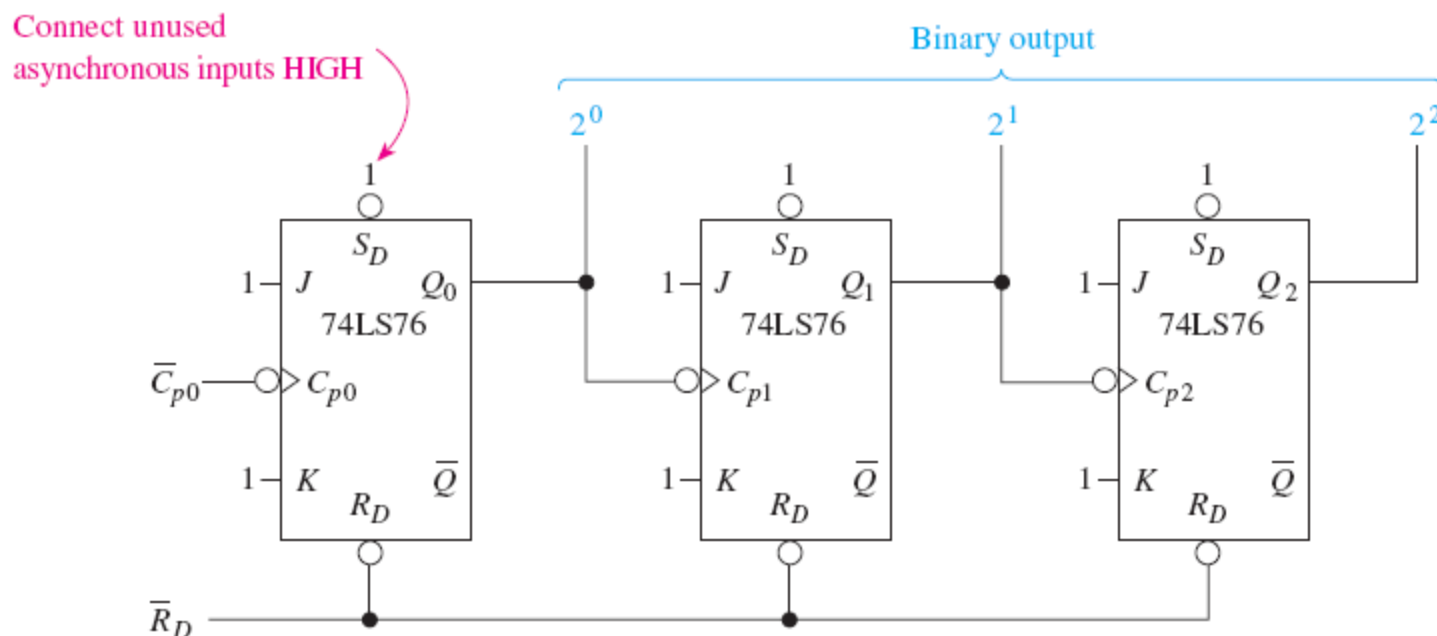
Operating Mode	Inputs				Outputs	
	\bar{S}_D	\bar{R}_D	C_p	D	Q	\bar{Q}
Asynchronous Set	L	H	x	x	H	L
Asynchronous Reset	H	L	x	x	L	H
Not used	L	L	x	x	H	H
Synchronous Set	H	H	↑	h	H	L
Synchronous Reset	H	H	↑	l	L	H

DFF testiranje

- Testirati DFF u wave simulatoru
- Napisati DFF sa asinhronim Set i Reset signalom u VHDL-u
- Implementirati JK FF u VHDL-u
 - On za razliku od DFF-a ima i toggle:
 - 00 – hold
 - 01 – reset
 - 10 – set
 - 11 – toggle

Primeri sekvencijalnih kola

- Šta radi sledeće sekvencijalno kolo, skicirati signal:



Rešenje

